

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 7 5 7 7 4

(43) 公開日 平成8年(1996)3月22日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 P 15/09				
H 0 1 L 29/84	A			
41/08				
			H 0 1 L 41/08	Z
			41/22	Z
審査請求 未請求 請求項の数 4			O L	(全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-215881

(22) 出願日 平成6年(1994)9月9日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 多保田 純

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 宇波 俊彦

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

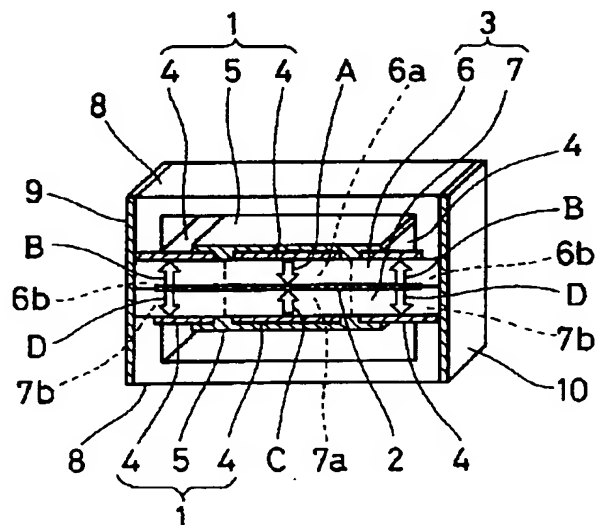
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 圧電体素子、これを用いて構成された加速度センサ及び圧電体素子の製造方法

(57) 【要約】

【目的】 信号取出電極を構成する表面電極と外部引出電極との接続及び導通を安定化することができ、圧電セラミック体における脱分極が起こる恐れのない圧電体素子、これを用いて構成された加速度センサ及び圧電体素子の製造方法を提供する。

【構成】 本発明に係る圧電体素子は、内部電極2が埋設された板状の圧電セラミック体3の互いに対向する主表面上それぞれには信号取出電極1が設けられており、各信号取出電極1は、圧電セラミック体3の長手方向に沿って区分された中央部6a、7a及び端部6b、7bの各々に対応する位置ごとに分離して形成された厚膜形状の表面電極4と、同一の主表面上に形成された表面電極4を覆って形成された薄膜形状の接続電極5とを積層したものである。



## 【特許請求の範囲】

【請求項 1】 内部電極が埋設された板状の圧電セラミック体を具備しており、その長手方向に沿う中央部及び端部が厚み方向に沿って互いに異なる向きに分極処理された圧電体素子であって、

圧電セラミック体の互いに対向する主表面上それぞれには信号取出電極が設けられており、各信号取出電極は、圧電セラミック体の中央部及び端部の各々に対応する位置ごとに分離して形成された厚膜形状の表面電極と、同一の主表面上に形成された表面電極を覆って形成された

10 薄膜形状の接続電極とを積層したものであることを特徴とする圧電体素子。

【請求項 2】 内部電極が埋設された板状の圧電セラミック体の互いに対向する主表面上それぞれには、圧電セラミック体の長手方向に沿う中央部及び端部の各々に対応する位置ごとに分離して形成された厚膜形状の表面電極と、同一の主表面上に形成された表面電極を覆って形成された薄膜形状の接続電極とを積層してなる信号取出電極が設けられた圧電体素子を用いて構成されたことを

20 特徴とする加速度センサ。

【請求項 3】 内部電極が埋設された板状の圧電セラミック体を用意し、その互いに対向する主表面上それぞれには、圧電セラミック体の長手方向に沿う中央部及び端部の各々に対応する位置ごとに分離して配置された厚膜形状の表面電極を導電ペーストの印刷及び焼き付け処理によって形成する工程と、

内部電極と表面電極とを用いて圧電セラミック体の中央部及び端部に対する分極処理を行う工程と、同一の主表面上に形成された表面電極を覆う薄膜形状の接続電極をスパッタリング処理によって形成する工程と

30 を含んでいることを特徴とする請求項 1 に記載した圧電体素子の製造方法。

【請求項 4】 内部電極が形成された一方側主表面が貼り合わされて板状の圧電セラミック体となる一对の圧電セラミック板を用意し、各圧電セラミック板の他方側主表面上には、圧電セラミック板の長手方向に沿う中央部及び端部の各々に対応する位置ごとに分離して配置された厚膜形状の分極電極を導電ペーストの印刷及び焼き付け処理によって形成する工程と、

内部電極と表面電極とを用いて各圧電セラミック板の中央部及び端部に対する分極処理を行う工程と、各圧電セラミック板の他方側主表面上に形成された表面電極を覆う薄膜形状の接続電極をスパッタリング処理によって形成する工程と、

40 各圧電セラミック板の一方側主表面同士を貼り合わせて圧電セラミック体を構成する工程とを含んでいることを特徴とする請求項 1 に記載した圧電体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、圧電体素子、これを用

いて構成された加速度センサ及び圧電体素子の製造方法に関する。

## 【0002】

【従来の技術】 従来から、衝撃検出用などとして使用される加速度センサのうちには圧電体素子を組み込んで構成されたものがあり、これら圧電体素子のうちには図 1 で示すようなバイモルフ構造を有するものがある。すなわち、この圧電体素子は、主表面上それぞれに信号取出電極 1 が形成され、かつ、これら信号取出電極 1 と平行状態の内部電極 2 が埋設された板状の圧電セラミック体 3 を具備して構成されたものであり、信号取出電極 1 のそれぞれは 3 つずつの表面電極 4 及びこれらを覆う接続電極 5 が積層されたものとなっている。そして、これら信号取出電極 1 のうちの一方側（図では、上側）は圧電セラミック体 3 の一方側外端面（図では、左側）にまで延出される一方、他方側（図では、下側）の信号取出電極 1 は他方側外端面（図では、右側）にまで延出されている。

【0003】 また、内部電極 2 を挟んだうえで対向することによって圧電セラミック体 3 を構成するセラミック領域 6、7 それぞれの長手方向は 3 つずつの部分、つまり加速度の作用時に発生する応力の変化する境界線を介したうえでの中央部 6 a、7 a と端部 6 b、7 b とに区分されており、セラミック領域 6、7 それぞれの中央部 6 a、7 a と端部 6 b、7 b とは厚み方向に沿って互いに異なる向きに分極処理されるとともに、中央部 6 a、7 a 及び端部 6 b、7 b の各々が互いに逆となる向きに従って分極処理されている。すなわち、この際におけるセラミック領域 6 の中央部 6 a 及び端部 6 b それぞれは互いに異なる分極の向き A、B を有し、かつ、セラミック領域 7 の中央部 7 a 及び端部 7 b それぞれは互いに異なる分極の向き C、D を有するように分極処理されており、同時に、中央部 6 a、7 a における分極の向き A と C とは互いに近づく内向きとされる一方、両者の端部 6 b、7 b における分極の向き B と D とは互いに遠ざかる外向きとされている。

【0004】 さらに、この圧電体素子の長手方向に沿う両端縁は側面視「コ」字形状とされた一对の挟持枠体 8 によって固定支持されており、圧電セラミック体 3 の主表面上に形成された信号取出電極 1 の各々は圧電セラミック体 3 及び挟持枠体 8 の互いに異なる外端面上に形成された外部引出電極 9、10 のそれぞれに対して接続されている。ところで、上記構成の圧電体素子を用いるのは、以下のような理由に基づいている。すなわち、この圧電体素子に対して加速度が作用した場合には、圧電セラミック体 3 を構成するセラミック領域 6、7 それぞれの中央部 6 a、7 a 及び端部 6 b、7 b が慣性力の作用によって変形することになり、これらの各部 6 a、7 a、6 b、7 b は変形に伴って生じた引張応力もしくは圧縮応力を受けることになる。そこで、これらの各部 6

3

a, 7 a, 6 b, 7 bでは、各々の分極の向きA~Dと受けた応力との相乗効果によって電荷発生量が增大することになり、圧電体素子の全体における電荷発生量が増大する結果、加速度センサの検出感度が向上するという利点が得られるのである。

【0005】次に、図1で示した構成を有する圧電体素子の製造方法を、図2及び図3で示す工程斜視図に基づいて手順を追って説明する。なお、これらの図においては、個々の圧電体素子に見合う大きさ及び形状の範囲を仮想線で区切ることによって示している。

【0006】まず、図2(a)で示すように、並列配置された内部電極2の複数個分に見合う帯状の内部電極層11が複数列にわたって埋設され、かつ、圧電体素子となる圧電セラミック体3の多数個に見合う大きさ及び形状とされた矩形平板状の圧電セラミック基体12を用意する。そして、この圧電セラミック基体12の互いに対向する主表面上それぞれには、個々の圧電セラミック体3、すなわち、内部電極2を介して対向するセラミック領域6、7それぞれの長手方向に沿って区分された中央部6a、7a及び端部6b、7bの各々に対応することになる位置ごとに分離して配置された帯状の表面電極層13を複数列にわたって形成する。そこで、この際、一列状として並列配置された圧電セラミック体3群に対応する範囲ごとには、3列分ずつの表面電極層13が並列形成されていることになる。

【0007】その後、図2(b)で示すように、内部電極層11と表面電極層13の各々を用いたうえで、各圧電セラミック体3を構成するセラミック領域6、7それぞれの中央部6a、7a及び端部6b、7bに対する分極処理を行う。ところで、この際、各部6a、7a、6b、7bの分極処理は、図1で示した通りの分極の向きA~Dとなるよう設定したうえで行われる。そして、図2(c)で示すように、圧電セラミック基体12における同一の主表面上に形成され、かつ、一列状の圧電セラミック体3群それぞれに対応する3列分ずつの表面電極層13を覆ったうえで導通させる接続電極層14を形成する。なお、ここでの表面電極層13及び接続電極層14は、個々の圧電体素子における信号取出電極1を構成する表面電極4及び接続電極5となるものである。

【0008】引き続き、図3(a)で示すように、内表面側の所定位置ごとに所定幅寸法の凹溝15が形成された挟持枠基体16を用意し、かつ、表面電極層13及び接続電極層14が積層して形成された圧電セラミック基体12の主表面上それぞれに対して挟持枠基体16の各々を貼り合わせることによって一体化する。さらに、個々の圧電体素子に見合う大きさ及び形状の範囲を区切るべく設定された仮想線に従って圧電セラミック基体12及び挟持枠基体16を切断すると、図3(b)で示すような構成となった単品ずつの圧電体素子、すなわち、3つの表面電極4及びこれらを覆う接続電極5からなる信

4

号取出電極1が主表面上それぞれに形成された圧電セラミック体3と一対の挟持枠体8とを具備した圧電体素子が得られる。そして、この際、信号取出電極1を構成する表面電極4は、圧電体素子の外端面に露出している。そこで、得られた圧電体素子それぞれの外端面上、すなわち、圧電セラミック体3及び挟持枠体8の外端面上に外部引出電極9、10を形成すると、図1で示したバイモルフ構造の圧電体素子として完成し、各信号取出電極1を構成する表面電極4の各々は外部引出電極9、10のそれぞれと「T」字形に接続されたうえで導通していることになる。

【0009】

【発明が解決しようとする課題】ところで、前記従来例に係る圧電体素子及びその製造方法においては、次のような不都合が生じることがあった。すなわち、まず、圧電セラミック基体12の主表面上それぞれに形成された表面電極層13の厚みは形成条件によって薄くなることがあり、これら表面電極層13の厚みが薄くなっている場合には、各圧電体素子の外端面上に形成された外部引出電極9、10のそれぞれと各信号取出電極1を構成する表面電極4との接続及び導通が不安定化してしまう。また、圧電セラミック基体12の同一面上における表面電極層13を導通させるための接続電極層14を一般的な手法、つまり導電ペーストのスクリーン印刷を行ったうえで焼き付け処理するというような手法を採用したうえで形成した場合には、焼き付け時に加わる熱の影響によって圧電セラミック基体12、すなわち、圧電セラミック体3における脱分極が起こってしまうことがある。その結果、従来の圧電体素子を用いて構成された加速度センサにおいては、検出感度の低下が生じることがあるほか、量産性の低下を招くことになっていた。

【0010】本発明は、このような不都合に鑑みて創案されたものであって、信号取出電極を構成する表面電極と外部引出電極との接続及び導通を安定化することができ、圧電セラミック体における脱分極が起こる恐れのない圧電体素子、これを用いて構成された加速度センサ及び圧電体素子の製造方法を提供しようとするものである。

【0011】

【課題を解決するための手段】本発明に係る圧電体素子は、内部電極が埋設された板状の圧電セラミック体の互いに対向する主表面上それぞれには信号取出電極が設けられており、各信号取出電極は、圧電セラミック体の長手方向に沿って区分された中央部及び端部の各々に対応する位置ごとに分離して形成された厚膜形状の表面電極と、同一の主表面上に形成された表面電極を覆って形成された薄膜形状の接続電極とを積層したものであることを特徴としている。そして、本発明に係る加速度センサは、上記圧電体素子を用いて構成されたものである。

【0012】また、本発明に係る圧電体素子の第1の製

10

20

30

40

50

造方法は、内部電極が埋設された板状の圧電セラミック体を用意し、その互いに対向する主表面上それぞれには、圧電セラミック体の長手方向に沿う中央部及び端部の各々に対応する位置ごとに分離して配置された厚膜形状の表面電極を導電ペーストの焼き付け処理によって形成する工程と、内部電極と表面電極とを用いて圧電セラミック体の中央部及び端部に対する分極処理を行う工程と、同一の主表面上に形成された表面電極を覆う薄膜形状の接続電極をスパッタリング処理によって形成する工程とを含むことを特徴としている。

【0013】さらに、第2の製造方法は、内部電極が形成された一方側主表面が貼り合わされて板状の圧電セラミック体となる一対の圧電セラミック板を用意し、各圧電セラミック板の他方側主表面上には、圧電セラミック板の長手方向に沿う中央部及び端部の各々に対応する位置ごとに分離して配置された厚膜形状の分極電極を導電ペーストの焼き付け処理によって形成する工程と、内部電極と表面電極とを用いて各圧電セラミック板の中央部及び端部に対する分極処理を行う工程と、各圧電セラミック板の他方側主表面上に形成された表面電極を覆う薄膜形状の接続電極をスパッタリング処理によって形成する工程と、各圧電セラミック板の一方側主表面同士を貼り合わせて圧電セラミック体を構成する工程とを含むことを特徴とするものである。

【0014】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0015】図1は本実施例に係る圧電体素子の構成を簡略化して示す一部破断斜視図、図2はその製造方法の前段階を示す工程斜視図、図3はその製造方法の後段階を示す工程斜視図であり、ここでは従来例を示す図1ないし図3を利用して本実施例の説明を行うこととする。

【0016】本実施例に係る圧電体素子は従来例と基本的に同一のバイモルフ構造を有するものであり、図1で示すように、内部電極2が埋設された板状の圧電セラミック体3を具備している。そして、この際、内部電極2を介したうで対向するセラミック領域6、7それぞれの長手方向に沿って区分された中央部6a、7a及び端部6b、7bの各々が厚み方向に沿って互いに異なる向きに分極処理され、かつ、中央部6a、7a及び端部6b、7bの各々同士が互いに逆となる向きに従って分極処理されている。また、この圧電セラミック体3の互いに対向する主表面上それぞれには信号取出電極1が設けられており、各信号取出電極1は、セラミック領域6、7それぞれの長手方向に沿って区分された中央部6a、7a及び端部6b、7bの各々に対応する位置ごとに分離して形成された厚膜形状の表面電極4の3つずつと、同一の主表面上に形成された表面電極4同士を覆って形成された薄膜形状の接続電極5とが積層されたものとなっている。

【0017】さらに、この際における信号取出電極1の一方側（図では、上側）は圧電セラミック体3の一方側外端面（図では、左側）にまで延出される一方、他方側（図では、下側）の信号取出電極1は他方側外端面（図では、右側）にまで延出されている。さらにまた、この圧電体素子の長手方向に沿う両端縁は側面視「コ」字形状とされた一対の挟持枠体8で挟まれたうでで固定支持されており、圧電セラミック体3の主表面上に形成された信号取出電極1の各々は圧電セラミック体3及び挟持枠体8の互いに異なる外端面上に形成された外部引出電極9、10のそれぞれに「T」字形となって接続されたうでで導通している。すなわち、本実施例に係る圧電体素子が従来例と異なるのは、圧電セラミック体3の同一の主表面上に分離して形成された表面電極4のそれぞれが厚膜形状とされており、しかも、これらを覆って形成された接続電極5が薄膜形状とされているところにある。そこで、この圧電体素子においては、信号取出電極1を構成する表面電極4のそれぞれが厚膜形状とされている結果、これら表面電極4と外部引出電極9、10のそれぞれとの接続及び導通が不安定化しないことになる。そして、本発明に係る加速度センサは、本実施例に係る圧電体素子を用いたうでで構成されたものとなっている。

【0018】次に、本実施例に係る圧電体素子の製造方法を、従来例と同一の図2及び図3に基づいて説明する。

【0019】まず、図2(a)で示すように、圧電性セラミックであるPZTを用いて作製された圧電セラミック基体12、すなわち、帯状の内部電極層11が複数列にわたって埋設され、かつ、多数個の圧電セラミック体3に見合う大きさ及び形状とされた矩形平板状の圧電セラミック基体12を用意するとともに、銀または銀・パラジウムを含有する導電性ペースト（図示していない）を用意する。その後、用意した導電性ペーストを用いたうで、圧電セラミック基体12の互いに対向する主表面上それぞれには、圧電体素子を構成する圧電セラミック体3におけるセラミック領域6、7、つまり内部電極2を介して対向するセラミック領域6、7それぞれの長手方向に沿って区分された中央部6a、7a及び端部6b、7bの各々に対応することになる位置ごとに分離して配置された帯状の表面電極層13を複数列にわたって形成する。

【0020】そして、この際においては、圧電セラミック基体12の主表面上それぞれに対して導電性ペーストをスクリーン印刷によって塗布したうで、塗布された導電性ペーストの乾燥及び約800℃の温度下で焼き付け処理することによって3~10μm程度の厚膜形状となった表面電極層13を形成する。その結果、一列状として並列配置された圧電セラミック体3群に対応する範囲ごとには、3列分ずつの表面電極層13が並列形成され

ていることになる。なお、ここでの圧電セラミック基体 12 を構成している PZT のキュリー点は、約 300℃ である。

【0021】引き続き、図 2 (b) で示すように、内部電極層 11 と表面電極層 13 とを用いたうえで各圧電セラミック体 3 におけるセラミック領域 6, 7 それぞれの中央部 6a, 7a 及び端部 6b, 7b に対する分極処理、つまり所要の電界を印加することによっての分極処理を行う。すなわち、この際には、各部 6a, 7a, 6b, 7b のそれぞれが図 1 に示した通りの分極の向き A ~ D を有することになるような分極処理を行う。その後、図 2 (c) で示すように、圧電セラミック基体 12 における同一の主表面上に形成され、かつ、一列状の圧電セラミック体 3 群それぞれに対応する 3 列分ずつの表面電極層 13 を覆ったうえで導通させる接続電極層 14 をスパッタリング処理、例えば、モノルスパッタリングによって形成する。そこで、この際に形成された接続電極層 14 は、薄膜形状を有するものとなる。なお、ここでのスパッタリング処理がモノル（ニッケル・銅合金）に限定されることはなく、ニッケルや銀であってもよい。また、このスパッタリング処理中における圧電セラミック基体 12 の温度は 100 ~ 200℃ 程度となり、PZT のキュリー点よりも低いから、脱分極が生じる恐れはないことになる。

【0022】さらにまた、図 3 (a) で示すように、内表面側の所定位置ごとに所定幅寸法の凹溝 15 が形成された挟持枠基体 16 を用意した後、これら挟持枠基体 16 の各々を圧電セラミック基体 12 の主表面上それぞれに対して接着剤（図示していない）を用いて接着することによって貼り合わせる。その後、個々の圧電体素子に見合う大きさ及び形状の範囲を区切るべく設定された仮想線に従って圧電セラミック基体 12 及び挟持枠基体 16 を切断すると、図 3 (b) で示すような構成の圧電体素子、すなわち、厚膜形状となった 3 つの表面電極 4 と、同一の主表面上に形成された表面電極 4 を覆って形成された薄膜形状の接続電極 5 とが積層されてなる信号取出電極 1 が主表面上それぞれに形成された圧電セラミック体 3 と一対の挟持枠体 8 とを具備してなる圧電体素子が得られる。そこで、得られた圧電体素子それぞれにおける圧電セラミック体 3 及び挟持枠体 8 の外端面上に外部引出電極 9, 10 を所要のスパッタリング処理やメッキ処理によって形成すると、図 1 で示したバイモルフ構造を有する圧電体素子として完成することになり、厚膜形状となって各信号取出電極 1 を構成する表面電極 4 の各々は外部引出電極 9, 10 のそれぞれと「T」字形の状態で接続されていることになる。

【0023】ところで、図 2 で示した圧電体素子の製造方法においては、内部電極層 11 が予め埋設された矩形平板状の圧電セラミック基体 12 を用意するとしているが、以上説明したバイモルフ構造を有する圧電体素子を

図 4 で示すような工程手順に従って製造することも可能である。なお、この図 4 は製造方法の前段階を示す工程斜視図であって図 2 と対応しているから、図 2 と共通している事項についての詳しい説明は省略する。

【0024】この変形例においては、図 4 (a) で示すように、複数列にわたる内部電極層 11 が一方側主表面上に形成され、かつ、圧電セラミック体 3 のセラミック領域 6, 7 それぞれに見合う圧電セラミック板 17 の多数個に対応する一対の圧電セラミック基板 18 と、銀または銀・パラジウムを含有する導電性ペースト（図示していない）とをまずもって用意する。すなわち、この変形例における圧電セラミック板 17 は内部電極 2 が形成された一方側主表面が貼り合わされて圧電セラミック体 3 となり、また、圧電セラミック基板 18 は内部電極層 11 が形成された一方側主表面が貼り合わされることによって圧電セラミック基体 12 と対応することになるものである。そこで、まず、圧電セラミック基板 18 それぞれの他方側主表面上には、各圧電セラミック板 17 の長手方向に沿って区分された中央部 17a 及び端部 17b の各々に対応する位置ごとに分離して配置されたうえで、厚膜形状となった表面電極層 13 の複数列を導電ペーストの印刷及び焼き付け処理によって形成する。なお、この際における圧電セラミック板 17 の中央部 17a 及び端部 17b は、圧電セラミック体 3 における中央部 6a, 7a 及び端部 6b, 7b のそれぞれと対応している。

【0025】次に、図 4 (b) で示すように、内部電極層 11 と表面電極層 13 の各々を用いたうえで各圧電セラミック板 17 の中央部 17a 及び端部 17b に対する分極処理を行った後、図 4 (c) で示すように、圧電セラミック基板 18 それぞれの他方側主表面上に形成され、かつ、一列状の各圧電セラミック板 17 群それぞれに対応する 3 列分ずつの表面電極層 13 を覆ったうえで導通させる接続電極層 14 をスパッタリング処理によって形成する。さらに、その後、各圧電セラミック基板 18 の内部電極層 11 が形成された一方側主表面同士を接着剤（図示していない）で接着することによって貼り合わせると、図 2 (c) で示したと同構造の状態となる。そこで、図 3 で示した製造方法の後段階における手順に従うと、図 1 で示したバイモルフ構造を有する圧電体素子として完成することになる。

#### 【0026】

【発明の効果】以上説明したように、本発明に係る圧電体素子及びその製造方法によれば、信号取出電極を構成する表面電極が厚膜形状とされているので、これら信号取出電極を構成する表面電極と圧電体素子の外端面上に形成された外部引出電極との接続及び導通を安定化することができる。また、表面電極を覆って信号取出電極を構成する接続電極が薄膜形状とされており、しかも、これらの接続電極をスパッタリング処理によって形成して

いるから、電極形成時における圧電セラミック体の温度がキュリー点以下に抑えられる結果、脱分極が起こることもあり得ないことになる。従って、本発明に係る圧電体素子を用いて構成された加速度センサにおいては、検出感度の向上とともに、量産性の向上を図ることが実現できるという効果が得られる。

【図面の簡単な説明】

【図 1】 本実施例及び従来例に係る圧電体素子の構成を簡略化して示す一部破断斜視図である。

【図 2】 本実施例及び従来例に係る圧電体素子の製造方法の前段階を示す工程斜視図である。

【図 3】 本実施例及び従来例に係る圧電体素子の製造方法の後段階を示す工程斜視図である。

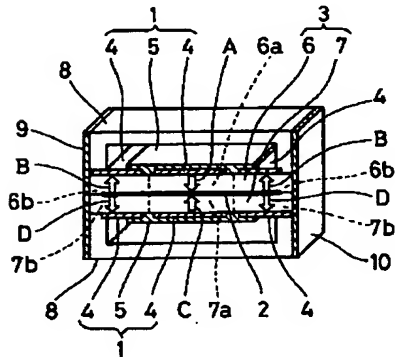
【図 4】 本実施例に係る圧電体素子の製造方法の変形例

を示す工程斜視図である。

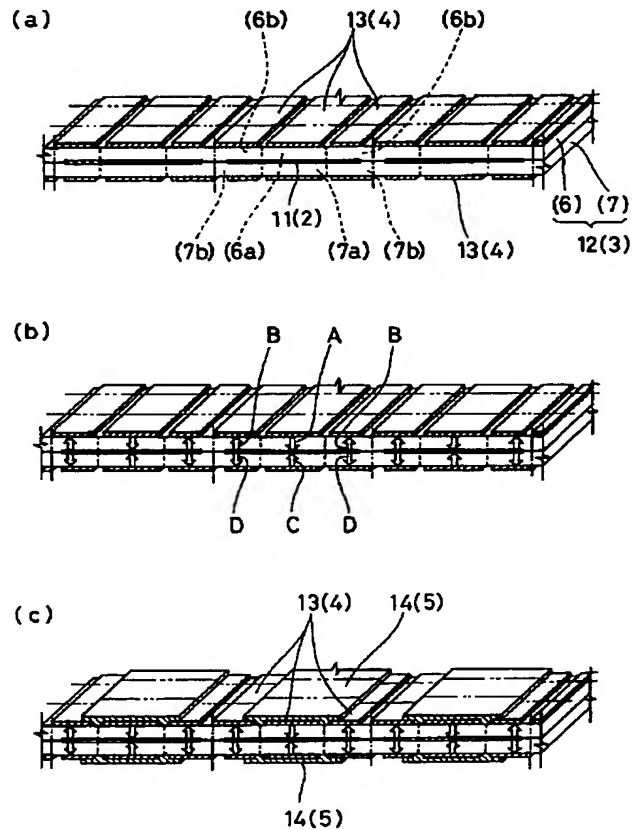
【符号の説明】

- 1 信号取出電極
- 2 内部電極
- 3 圧電セラミック体
- 4 表面電極
- 5 接続電極
- 6 セラミック領域
- 7 セラミック領域
- 6 a セラミック領域の中央部
- 6 b セラミック領域の端部
- 7 a セラミック領域の中央部
- 7 b セラミック領域の端部

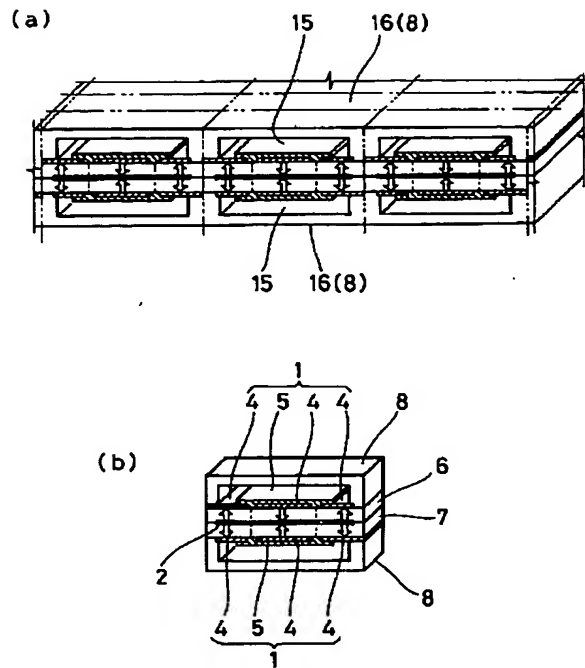
【図 1】



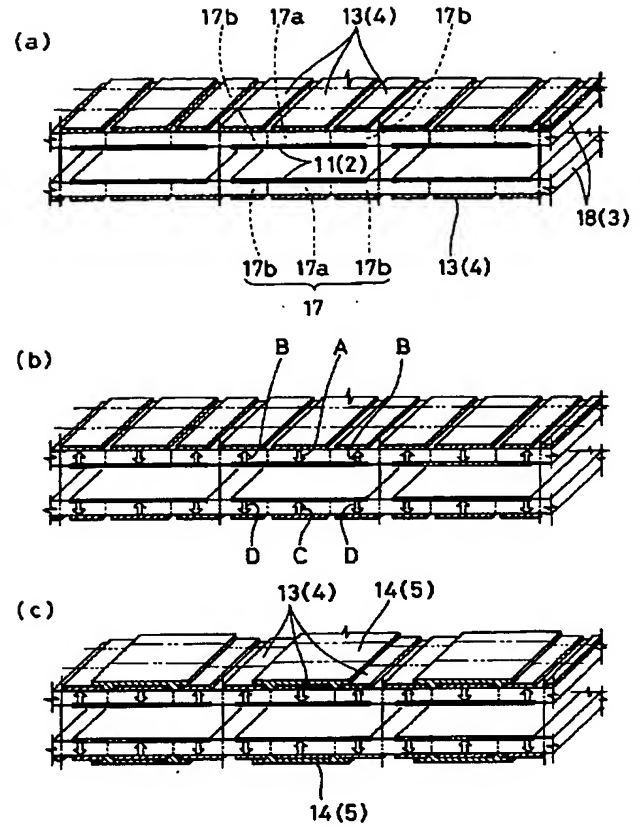
【図 2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 41/22

識別記号

庁内整理番号

F I

技術表示箇所